

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-067877

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

G11C 11/409  
G11C 11/407

(21)Application number : 11-245821

(71)Applicant : HITACHI LTD

HITACHI DEVICE ENG CO LTD

(22)Date of filing : 31.08.1999

(72)Inventor : TARUISHI TOSHINORI

MIYASHITA HIROMOTO

SHIBATA TAKESHI

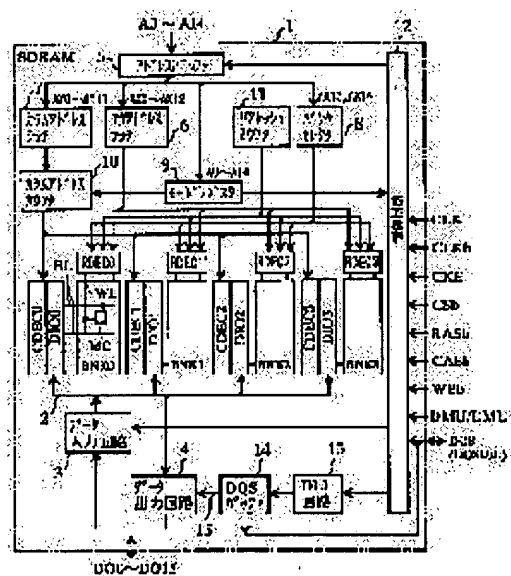
HORIGUCHI SHINJI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device for reducing power consumption due to such an external interface buffer as a data input buffer.

SOLUTION: The semiconductor device is provided with a data input buffer 3 for inputting write data to memory parts BNK0-NK3. In this case, after an instruction for writing to the memory parts is received, the data input buffer is changed from a non-active state to an active state. The data input buffer 3 is a differential input buffer with interface specifications, for example, conforming to the SSTL standard, is activated by the ON state of a power switch, allows a through current to flow, and inputs a signal by instantly following the small change in a small-amplitude signal. Since the input buffer 3 is activated for the first time after receiving the instruction for writing operation to the memory part, the data input buffer 3 is activated in advance before the writing operation is instructed, thus reducing unneeded power consumption to be consumed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-67877

(P2001-67877A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) IntCl<sup>7</sup>

識別記号

F I

テマコード(参考)

G 1 1 C 11/409  
11/407

G 1 1 C 11/34

3 5 4 P 5 B 0 2 4  
3 6 2 S

審査請求 未請求 請求項の数17 O L (全 18 頁)

(21) 出願番号 特願平11-245821

(22) 出願日 平成11年8月31日 (1999.8.31)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 垂石 敏伯

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

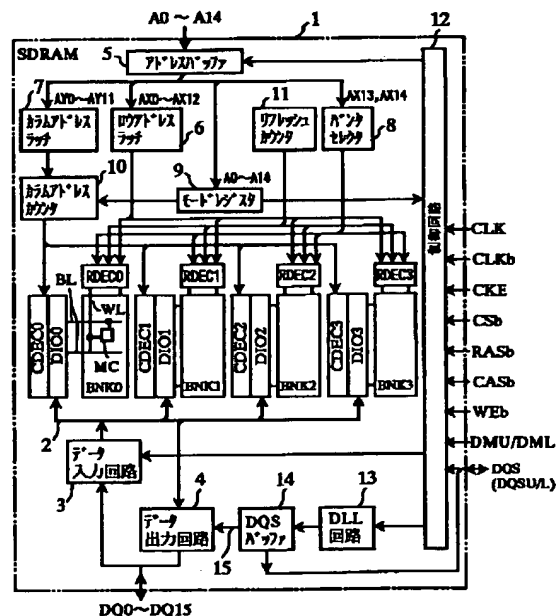
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 データ入力バッファなどの外部インタフェースバッファによる電力消費を低減可能な半導体装置を提供する。

【解決手段】 メモリ部 (BNK0~BNK3) への書込みデータを入力可能なデータ入力バッファ (3) を有する半導体装置において、前記メモリ部に対する書込み動作の指示を受けた後に、データ入力バッファを非活性状態から活性状態に変化させる。前記データ入力バッファは、例えば SSTL 準拠のインタフェース仕様を有する差動入力バッファであり、パワースイッチのオン状態によって活性状態にされ、貫通電流を流し、小振幅信号の微小な変化に即座に追従して信号を入力する。入力バッファはメモリ部に対する書込み動作の指示を受けて初めて活性状態にされるから、書き込み動作が指示される前に予めデータ入力バッファが活性状態にされて消費される無駄な電力消費が低減される。

図1



## 【特許請求の範囲】

【請求項1】 複数のデータ端子と、前記複数のデータ端子に対応して設けられる複数のデータ入力バッファと、複数のメモリセルを含むメモリ部とを含み、前記メモリ部に対する書込み動作の指示を受けた後に、前記データ入力バッファが非活性状態から活性状態に変化されるものであることを特徴とする半導体装置。

【請求項2】 複数のデータ端子と、前記複数のデータ端子に対応して設けられる複数のデータ入力バッファと、クロック信号を受けるクロック端子と、複数のメモリセルを含むメモリ部とを含み、

前記複数のメモリセルに対するデータの書込み動作及び前記メモリセルからのデータ読み出し動作は、前記クロック信号に同期して行なわれるクロック同期式の半導体装置であって、

前記複数のメモリセルに対するデータ書込み動作を指示するコマンドを受け付けた後に、前記データ入力バッファが非活性状態から活性状態に変化されるものであることを特徴とする半導体装置。

【請求項3】 前記データ入力バッファは、SSTL規格に準拠したインタフェース仕様を有して成るものであることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記データ入力バッファは、差動入力バッファであり、前記差動入力バッファはそのパワースイッチのオン状態によって活性状態にされ、オフ状態によって非活性状態にされるものであることを特徴とする請求項1又は2記載の半導体装置。

【請求項5】 前記データ入力バッファには、前記コマンドによる書き込み動作の指示が行われた前記クロック信号周期の後のクロック信号周期からのデータストロブ信号に同期するデータの供給が規定されていることを特徴とする請求項3又は4記載の半導体装置。

【請求項6】 前記データ入力バッファから入力されたデータをラッチするデータラッチ回路を有し、前記データラッチ回路は、前記データストロブ信号の立ち上がり及び立ち下りの各変化に同期して前記データ入力バッファに入力されたデータを順次ラッチして前記データストロブ信号の1サイクル以上を単位に前記メモリセルに並列に供給可能とするものであることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記データ入力バッファは書込みコマンドによる書込み動作の終了に同期して活性状態から非活性状態に制御されるものであることを特徴とする請求項1又は2記載の半導体装置。

【請求項8】 前記データ入力バッファは書込みコマンドによる書込み動作の最後の書込みデータが前記データラッチ回路にラッチされるのを待って、活性状態から非活性状態に制御されるものであることを特徴とする請求項6記載の半導体装置。

【請求項9】 複数のデータ端子と、前記複数のデータ

ータ端子に対応して設けられる複数のデータ入力バッファと、クロック信号を受けるクロック端子と、選択端子がワード線に接続されデータ入出力端子がビット線に接続された複数のメモリセルと、前記メモリセルに対するデータ書込み動作及びデータ読み出し動作をクロック信号に同期させて制御する制御回路と、を含み、前記制御回路は、カラムアドレスによるビット線を指定したデータ書込み動作がライトコマンドによって指示され、このライトコマンドを受け付けた後に、前記データ入力バッファを非活性状態から活性状態に変化させるものであることを特徴とする半導体装置。

【請求項10】 前記制御回路は、更に、ロウアドレスによるワード線選択動作がバンクアクティブコマンドによって指示され、カラムアドレスによるビット線を指定したデータ読み出し動作がリードコマンドによって指示され、ワード線の初期化がプリチャージコマンドによって指示されるものであることを特徴とする請求項9記載の半導体装置。

【請求項11】 前記制御回路は、前記バンクアクティブコマンド又はリードコマンドを受け付けても非活性状態のデータ入力バッファの状態を不変とするものであることを特徴とする請求項10記載の半導体装置。

【請求項12】 前記データ入力バッファは、差動入力バッファであり、前記差動入力バッファはそのパワースイッチのオン状態によって活性状態にされ、オフ状態によって非活性状態にされるものであることを特徴とする請求項10又は11記載の半導体装置。

【請求項13】 前記データ入力バッファには、前記ライトコマンドによる書き込み動作の指示が行われた前記クロック信号周期の後のクロック信号周期からのデータストロブ信号に同期するデータの供給が規定されていることを特徴とする請求項12記載の半導体装置。

【請求項14】 前記データ入力バッファから入力されたデータを前記データストロブ信号の立ち上がり変化に同期してラッチする第1のデータラッチ回路と、前記データ入力バッファから入力されたデータを前記データストロブ信号の立ち下り変化に同期してラッチする第2のデータラッチ回路と、前記第1のデータラッチ回路にラッチされたデータを前記データストロブ信号の立ち下り変化に同期してラッチする第3のデータラッチ回路とを有し、前記第2のデータラッチ回路及び第3のデータラッチ回路の出力を並列させて前記メモリ部に供給可能とするものであることを特徴とする請求項13記載の半導体装置。

【請求項15】 前記データ入力バッファは書込みコマンドによる書込み動作の終了に同期して活性状態から非活性状態に制御されるものであることを特徴とする請求項12記載の半導体装置。

【請求項16】 前記データ入力バッファは書込みコマンドによる書込み動作の最後の書込みデータが前記第2

及び第3のデータラッチ回路にラッチされるのを待つて、活性状態から非活性状態に制御されるものであることを特徴とする請求項1記載の半導体装置。

【請求項17】 複数のアドレス入力端子と、前記複数のアドレス入力端子に対応して設けられる複数のアドレス入力バッファと、クロック信号を受けるクロック端子と、選択端子がワード線に接続されデータ入出力端子がビット線に接続された複数のメモリセルと、前記メモリセルに対するデータ書き込み動作及びデータ読み出し動作をクロック信号に同期させて制御する制御回路と、を含み、

前記制御回路は、ロウアドレスによるワード線選択動作がバンクアクティブコマンドによって指示され、カラムアドレスによるビット線を指定したデータ読み出し動作がリードコマンドによって指示され、カラムアドレスによるビット線を指定したデータ書き込み動作がライトコマンドによって指示され、ワード線の初期化がプリチャージコマンドによって指示され、前記バンクアクティブコマンド、前記リードコマンド又は前記ライトコマンドを受け付けた後に、前記アドレス入力バッファを非活性状態から活性状態に変化させ、その後、前記クロック信号に同期する一定サイクル期間の経過を待つてアドレス入力バッファを活性状態から非活性状態に変化させるものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、動作を指示するコマンドの入力後に当該コマンドの実行に利用される情報が供給される半導体装置における前記情報の入力技術に関し、例えば、DDR(Double Data Rate)動作可能なSDRAM(Synchronous Dynamic Random Access Memory)に適用して有効な技術に関する。

【0002】

【従来の技術】動作の高速化に伴ってSDRAMなどの外部インタフェースもSSTL(Stub Series Terminated Transceiver Logic)のような小振幅信号インタフェースに移りつつある。前記SSTL仕様のインタフェースの入力バッファにはカレントミラー負荷を備えた差動増幅回路が広く採用されている。差動増幅回路は活性状態において常時貫通電流が流れるので、相補型MOS回路で成るCMOS入力バッファに比べて電力消費が大きくなるが、微小信号を高速に入力することができる。

【0003】SDRAMのような同期式メモリは、その動作タイミングが外部からのシステムクロック信号のような外部クロック信号に基づいて制御される。この種の同期式メモリは、外部クロック信号の利用によって内部動作のタイミング設定が比較的容易となり、比較的高速動作が可能となる、という特徴を持つ。

【0004】ここで、SDRAMとしては、データの入力及び出力が外部クロック信号の立ち上りエッジに同期されて行われるいわゆるSDR(Single Data Rate)形式のSDRAMと、データの入力及び出力が外部クロック信号の立ち上りエッジ及び立ち下がりエッジの双方に同期して行われる所謂DDR形式のSDRAMとが知られている。

【0005】SDR形式のSDRAMとDDR形式のSDRAMとは、書き込みデータの入力タイミング制御が相違されている。SDR形式のSDRAMにおいては、外部からの書き込み動作の指示と同じクロック信号周期において外部からのデータの供給が規定される。したがって、バンクアクティブコマンドに続くライトコマンドによってライト動作が指示されると同時にライトデータが供給されるから、ライトコマンドを受け付けた後にデータ入力バッファを活性化していたのでは、ライトコマンドと共にクロック信号に同期して供給される書き込みデータの入力が間に合わない。これにより、データ入力バッファは、ロウアドレス系の動作を指示するバンクアクティブコマンドを受け付けた時点で、活性化される。

【0006】これに対してDDR形式のSDRAMにおいては外部からの書き込み動作の指示が行われたクロック信号周期の後のクロック信号周期から、データストロブ信号に同期する外部からのデータの供給が規定されている。データストロブ信号はデータ出力にも利用され、そのようなデータストロブ信号を用いることにより、メモリボード上の夫々のSDRAMに対してデータの伝播遅延とデータストロブ信号の伝播遅延とを適当に設定しておくことにより、メモリボード上でのメモリコントローラからSDRAMへの遠近に依存するデータアクセス時間のばらつきを小さくすることが比較的簡単になる。

【0007】

【発明が解決しようとする課題】本発明者はDDR形式のSDRAMにおけるデータ入力バッファの活性化制御に付いて検討した。これによれば、DDR形式のSDRAMにおいてもSDR形式と同様に、バンクアクティブコマンドにตอบสนองしてデータ入力バッファを活性化してしまうと、その後、例えばプリチャージコマンドが受け付けられるまでデータ入力バッファが活性状態に維持され、バンクアクティブコマンドからライトコマンドが発行されるまでの間、データ入力バッファで無駄な電力を消費することが、本発明者によって明らかにされた。また、バンクアクティブコマンドの後に、ライトコマンドが発行されるとは限らず、リードコマンドしか発行されなかった場合には、データ入力バッファの活性状態は、結果として、全く無駄になり、それによる電力消費も完全に無駄であることが本発明者によって明らかにされた。特に、DDR-SDRAMのデータ入力バッファのSSTLインタフェースを採用することがJEDEC

(Joint Electron Device Engineering Council)で規定されており、これに準拠するような場合を考慮すれば、SSTLインタフェースにおける入力バッファの活性化制御タイミングはDDR-SDRAMの低消費電力を図る上で大きな要素になることが本発明者によって見出された。

【0008】本発明の目的は、データ入力バッファなどの外部インタフェースバッファによる電力消費を低減可能な半導体装置を提供することにある。

【0009】本発明の別の目的は、低消費電力を企図したDDR形式のSDRAMに好適な半導体装置を提供することにある。

【0010】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】すなわち、メモリ部への書き込みデータを入力可能なデータ入力バッファを有する半導体装置において、前記メモリ部に対する書き込み動作の指示を受けた後に、データ入力バッファを非活性状態から活性状態に変化させる。

【0013】前記半導体装置は、特に制限されないが、複数のメモリセルに対するデータの書き込み動作及び前記メモリセルからのデータ読み出し動作を、クロック信号にตอบสนองして行なうクロック同期式の半導体装置、例えば、SDRAMである。

【0014】前記データ入力バッファは、例えばSSTL規格に準拠したインタフェース仕様を有する差動入力バッファであり、当該バッファはそのパワースイッチのオン状態によって活性状態にされ、オフ状態によって非活性状態にされる。前記差動入力バッファに代表される入力バッファは、その活性状態において貫通電流を流し、小振幅入力信号の微小な変化にも即座に追従して入力信号を後段に伝達可能にされる。

【0015】そのような入力バッファは前記メモリ部に対する書き込み動作の指示を受けて初めて活性状態にされるから、書き込み動作が指示される前に予めデータ入力バッファが活性状態にされて消費される無駄な電力消費が低減される。

【0016】前記半導体装置の好適な例であるSDRAMの場合、メモリセルに対するデータ書き込み動作及びデータ読み出し動作を制御する制御回路は、カラムアドレスによるビット線を指定したデータ書き込み動作がライトコマンドによって指示され、ロウアドレスによるワード線選択動作がバンクアクティブコマンドによって指示され、カラムアドレスによるビット線を指定したデータ読み出し動作がリードコマンドによって指示され、ワー

ド線の初期化がプリチャージコマンドによって指示されるものであり、このライトコマンドを受け付けた後に、前記データ入力バッファを非活性状態から活性状態に変化させ、前記バンクアクティブコマンド又はリードコマンドを受け付けても非活性状態のデータ入力バッファの状態を不変とする。このように、バンクアクティブコマンドやリードコマンドによる指示ではデータ入力バッファを活性化しないから、バンクアクティブの後、全くライトコマンドが指示され無ければ、データ入力バッファでは何ら無駄な電力消費は行われない。

【0017】半導体装置がDDR形式のSDRAMのように、ライトコマンドによる書き込み動作の指示が行われた前記クロック信号周期の後のクロック信号周期からのデータストロブ信号に同期するデータの供給が規定されている場合、半導体装置は、例えば、前記データ入力バッファの次段にデータラッチ回路を有し、前記データストロブ信号に同期して供給されるデータを、前記データラッチ回路が、前記データストロブ信号に同期してラッチする。半導体装置におけるそのようなデータ入力仕様は、一つの観点からすれば、クロック同期の書き込みコマンドによる書き込み動作の指示の後にデータ入力バッファを活性化しても書き込みデータの入力取りこぼしが発生しないことを保証する。

【0018】DDR形式のSDRAMのように、クロック信号に同期したデータストロブ信号の立ち上がり及び立ち下りの両方のエッジに夫々同期してデータの入出力を可能にする場合、前記データラッチ回路は、例えば、前記データストロブ信号の立ち上がり及び立ち下りの各変化に同期して前記データ入力バッファに入力されたデータを順次ラッチして前記データストロブ信号の1サイクル以上を単位に前記メモリセルに並列に供給可能とする。更に具体的な態様のデータラッチ回路は、前記データ入力バッファから入力されたデータを前記データストロブ信号の立ち上がり変化に同期してラッチする第1のデータラッチ回路と、前記データ入力バッファから入力されたデータを前記データストロブ信号の立ち下り変化に同期してラッチする第2のデータラッチ回路と、前記第1のデータラッチ回路にラッチされたデータを前記データストロブ信号の立ち下り変化に同期してラッチする第3のデータラッチ回路とを有し、前記第2のデータラッチ回路及び第3のデータラッチ回路の出力を並列させて前記メモリ部に供給可能とするものである。

【0019】一旦書き込みデータがデータ入力バッファから内部に取り込まれれば、未だ書き込み動作が完了されていなくても、最早データ入力バッファを活性状態に保つ必然性は無い。したがって、データ入力バッファの低消費電力を最優先とするなら、書き込みコマンドによる書き込み動作の最後の書き込みデータが前記第2及び第3のデータラッチ回路にラッチされるのを待って、前記デー

タ入力バッファを活性状態から非活性状態へ遷移させてもよい。この制御はデータストローブ信号に同期させて行うことができるが、データストローブ信号に対する書き込みデータのセットアップ・ホールドタイムとの関係が不所望に変動するような場合にも書き込み動作の信頼性を維持させようとするならば、書き込みコマンドによる書き込み動作の終了に同期させて、前記データ入力バッファを活性状態から非活性状態に遷移させるようにすればよい。

【0020】前記データ入力バッファと同様の観点に立った入力バッファ制御はアドレス入力バッファ等にも適用することができる。例えば、複数のアドレス入力端子と、前記複数のアドレス入力端子に対応して設けられる複数のアドレス入力バッファと、クロック信号を受けるクロック端子と、選択端子がワード線に接続されたデータ入出力端子がビット線に接続された複数のメモリセルと、前記メモリセルに対するデータ書き込み動作及びデータ読み出し動作をクロック信号に同期させて制御する制御回路と、を含む半導体装置を一例とすれば、前記制御回路は、ロウアドレスによるワード線選択動作がバンクアクティブコマンドによって指示され、カラムアドレスによるビット線を指定したデータ読み出し動作がリードコマンドによって指示され、カラムアドレスによるビット線を指定したデータ書き込み動作がライトコマンドによって指示され、ワード線の初期化がプリチャージコマンドによって指示され、前記バンクアクティブコマンド、前記リードコマンド又は前記ライトコマンドを受け付けた後に、前記アドレス入力バッファを非活性状態から活性状態に変化させ、その後、前記クロック信号に同期する一定サイクル期間の経過を待ってアドレス入力バッファを活性状態から非活性状態に変化させればよい。

#### 【0021】

【発明の実施の形態】《DDR-SDRAMの概要》図1には本発明に係る半導体装置の一例としてDDR形式のSDRAM (DDR-SDRAM) が示される。図1に示されるDDR-SDRAMは、特に制限されないが、公知のMOS半導体集積回路製造技術によって単結晶シリコンのような一つの半導体基板に形成されている。

【0022】DDR-SDRAM1は、特に制限されないが、4個のメモリバンクBNK0～BNK3を有する。図示を省略するが、夫々のメモリバンクBNK0～BNK3は、特に制限されないが、夫々4個のメモリマットを有し、各メモリマットは、2個のメモリアレイによって構成される。一方のメモリアレイはカラムアドレス信号の最下位ビットが論理値“0”に應ずるデータの格納領域に割当てられ、他方のメモリアレイはカラムアドレス信号の最下位ビットが論理値“1”に應ずるデータの格納領域に割当てられる。メモリバンクのメモリマ

ット及びメモリアレイの分割構造は上記には制限されず、それ故、本明細書では、特に注釈をしない限り、個々のメモリバンクは夫々1個のメモリマットから構成されている如く説明する。

【0023】前記夫々のメモリバンクBNK0～BNK3のメモリマットは、マトリクス配置されたダイナミック型のメモリセルMCを備え、図に述べれば、同一列に配置されたメモリセルMCの選択端子は列毎のワード線WLに結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補ビット線BL、BLの一方のビット線BLに結合される。図1にはワード線WLと相補ビット線BLは一部だけが代表的に示されているが、実際にはマトリクス状に多数配置され、センスアンプを中心とした折り返しビット線構造を有している。

【0024】前記メモリバンクBNK0～BNK3毎に、ロウデコーダRDEC0～RDEC3、データ入出力回路DIO0～DIO3、カラムデコーダCDEC0～CDEC3が設けられている。

【0025】上記メモリマットのワード線WLは、メモリバンクBNK0～BNK3毎に設けられたロウデコーダRDEC0～RDEC3によるロウアドレス信号のデコード結果に従って選ばれて選択レベルに駆動される。

【0026】前記データ入出力回路DIO0～DIO3は、センスアンプ、カラム選択回路、及びライトアンプを有する。センスアンプは、メモリセルMCからのデータ読出しによって夫々の相補ビット線BL、BLに現れる微小電位差を検出して増幅する増幅回路である。前記カラム選択回路は、相補ビット線BL、BLを選択して相補共通データ線のような入出力バス2に導通させるためのスイッチ回路である。カラム選択回路はカラムデコーダCDEC0～CDEC3のうち対応するものによるカラムアドレス信号のデコード結果に従って選択動作される。ライトアンプは書き込みデータに従って、カラムスイッチ回路を介して相補ビット線BL、BLを差動増幅する回路である。

【0027】前記入出力バス2にはデータ入力回路3及びデータ出力回路4が接続される。データ入力回路3は書き込みモードにおいて外部から供給される書き込みデータを入力して前記入出力バス2に伝達する。前記データ出力回路4は、読み出しモードにおいてメモリセルMCから入出力バス2に伝達された読み出しデータを入力して外部に出力する。前記データ入力回路3の入力端子と前記データ出力回路4の出力端子は、特に制限されないが、16ビットのデータ入出力端子DQ0～DQ15に結合される。便宜上、SDRAM1が外部と入出力するデータにもDQ0～DQ15の参照符号を付して説明することができる。

【0028】DDR-SDRAM1は、特に制限されないが、15ビットのアドレス入力端子A0～A14を有する。アドレス入力端子A0～A14はアドレスバッ

ァ5に結合される。前記アドレスバッファ5にマルチプレクス形態で供給されるアドレス情報の内、ロウアドレス信号AX0~AX12はロウアドレスラッチ6に、カラムアドレス信号AY0~AY11はカラムアドレスラッチ7に、バンク選択信号とみなされるバンクセレクト信号AX13、AX14はバンクセクタ8に、そして、モードレジスタ設定情報A0~A14はモードレジスタ9に、供給される。

【0029】4個のメモリバンクBNK0~BNK3は2ビットのバンク選択信号AX13、AX14の論理値にしたがってバンクセクタ8で動作が選択される。即ち、動作が選択されたメモリバンクだけがメモリ動作可能にされる。例えば、センスアンプ、ライトアンプ、及びカラムデコード等は動作が非選択のメモリバンクでは活性化されない。

【0030】ロウアドレスラッチ6にラッチされたロウアドレス信号AX0~AX12はロウアドレスデコードRDEC0~RDEC3に供給される。

【0031】カラムアドレスラッチ7にラッチされたカラムアドレス信号AY0~AY11は、カラムアドレスカウンタ10にプリセットされて前記カラムアドレスデコードCDEC0~CDEC3に供給される。連続的なメモリアクセスであるバーストアクセスが指示されている場合、その連続回数(バースト数)分だけ、カラムアドレスカウンタ10がインクリメント動作されて、カラムアドレス信号が内部で生成される。

【0032】リフレッシュカウンタ11は記憶情報のリフレッシュ動作を行なうロウアドレスを自ら生成するアドレスカウンタである。リフレッシュ動作が指示されたとき、リフレッシュカウンタ11から出力されるロウアドレス信号に従ってワード線WLが選択されて記憶情報のリフレッシュが行なわれる。

【0033】制御回路12は、特に制限されないが、クロック信号CLK、CLKb、クロックイネーブル信号CKE、チップセレクト信号CSb(サフィックスbはそれが付された信号がローイネーブルの信号又はレベル反転信号であることを意味する)、カラムアドレスストローブ信号CASb、ロウアドレスストローブ信号RASb、ライトイネーブル信号WEB、データマスク信号DMU、DML、及びデータストローブ信号DQSなどの外部制御信号と共に、モードレジスタ9から所定の情報が入力される。DDR-SDRAM1の動作はそれら入力信号の状態の組み合わせによって規定されるコマンドで決定され、制御回路12は、そのコマンドで指示される動作に応じた内部タイミング信号を形成するための制御ロジックを有する。

【0034】クロック信号CLK、CLKbはSDRAMのマスククロックとされ、その他の外部入力信号は当該クロック信号CLKの立ち上がりエッジに同期して有意とされる。

【0035】チップセレクト信号CSbはそのローレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号がハイレベルのとき(チップ非選択状態)その他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。

【0036】RASb、CASb、WEBの各信号は通常のDRAMにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するとき有意の信号とされる。

【0037】クロックイネーブル信号CKEはパワーダウンモード及びセルフリフレッシュモードのコントロール信号であり、パワーダウンモード(SDRAMにおいてデータリテンションモードでもある)とする場合にはクロックイネーブル信号CKEはローレベルとされる。

【0038】データマスク信号DMU、DMLは入力した書込みデータに対するバイト単位のマスクデータであり、データマスク信号DMUのハイレベルは書込みデータの上位バイトによる書込み抑止を指示し、データマスク信号DMLのハイレベルは書込みデータの低位バイトによる書込み抑止を指示する。

【0039】前記データストローブ信号DQSは書込み動作時にライトストローブ信号として外部から供給される。即ち、クロック信号CLKに同期して書き込み動作が指示されたとき、その指示が行われた前記クロック信号周期の後のクロック信号周期からのデータストローブ信号DQSに同期するデータの供給が規定されている。読み出し動作時には前記データストローブ信号DQSはリードストローブ信号として外部に出力される。即ち、データの読み出し動作では読み出しデータの外部出力に同期してデータストローブ信号が変化される。そのためにDLL(Delayed Lock Loop)回路13及びDQS出力バッファ14が設けられている。DLL回路13は、半導体装置1が受けるクロック信号CLKとデータ出力回路4によるデータの出力タイミングを同期させるために、データ出力動作制御用のクロック信号(リード動作時におけるデータストローブ信号DQSと同相の制御クロック信号)15の位相を整えるものである。DLL回路13は、特に制限されないが、レプリカ回路技術と、位相同期技術とによって、内部回路の信号伝播遅延時間特性を補償し得る内部クロック信号15を再生し、これにより、内部クロック信号15に基づいて出力動作されるデータ出力回路4は、外部クロック信号CLKに確実に同期したタイミングでデータを出力することが可能とされる。DQSバッファ14は前記内部クロック信号15と同相でデータストローブ信号DQSを外部に出力する。

【0040】前記ロウアドレス信号(AX0~AX12)は、クロック信号CLKの立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブ



## 11

コマンド（アクティブコマンド）サイクルにおけるアドレス入力端子A0～A12のレベルによって定義される。このアクティブコマンドサイクルにおいて、アドレス入力端子A13、A14から入力される信号AX13、AX14はバンク選択信号とみなされ、A13=A14=“0”のときはバンクBNK0、A13=“1”、A14=“0”のときはバンクBNK1、A13=“0”、A14=“1”のときはバンクBNK2、A13=“1”、A14=“1”のときはバンクBNK3が選択される。このようにして選択されたメモリバンクはリードコマンドによるデータ読み出し、ライトコマンドによるデータ書込み、プリチャージコマンドによるプリチャージの対象にされる。

【0041】前記カラムアドレス信号（AY0～AY11）は、クロック信号CLKの立ち上がりエッジに同期する後述のカラムアドレス・リードコマンド（リードコマンド）サイクル、カラムアドレス・ライトコマンド（ライトコマンド）サイクルにおける端子A0～A11のレベルによって定義される。これによって指定されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0042】DDR-SDRAM1には、特に制限されないが、以下の〔1〕～〔9〕等のコマンドが予め規定されている。

【0043】〔1〕モードレジスタセットコマンドは、上記モードレジスタ9をセットするためのコマンドである。このコマンドは、CSb、RASb、CASb、WEb=ローレベルによって指定され、セットすべきデータ（レジスタセットデータ）はA0～A14を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレングス、CASレイテンシー、バーストタイプなどとされる。設定可能なバーストレングスは、特に制限されないが、2、4、8、とされ、設定可能なCASレイテンシーは、特に制限されないが、2、2.5とされる。

【0044】上記CASレイテンシーは、後述のカラムアドレス・リードコマンドによって指示されるリード動作においてCASbの立ち下がりからデータ出力回路4の出力動作までにクロック信号CLKの何サイクル分を費やすかを指定するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされ、それをクロック信号CLKの使用周波数に応じて設定するためのものである。換言すれば、周波数の高いクロック信号CLKを用いる場合にはCASレイテンシーを相対的に大きな値に設定し、周波数の低いクロック信号CLKを用いる場合にはCASレイテンシーを相対的に小さな値に設定する。

【0045】〔2〕ロウアドレスストロブ・バンクアクティブコマンドは、ロウアドレスストロブの指示とA13、A14によるメモリバンクの選択を有効にするコ

## 12

マンドであり、CSb、RASb=ローレベル（“0”）、CASb、WEb=ハイレベル（“1”）によって指示され、このときA0～A12に供給されるアドレスがロウアドレス信号とされ、A13、A14に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のようにクロック信号CLKの立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルが夫々対応する相補データ線に導通される。

【0046】〔3〕カラムアドレス・リードコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストロブの指示を与えるコマンドであり、CSb、CASb、=ロウレベル、RASb、WEb=ハイレベルによって指示され、このときA0～A11に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ10にプリセットされる。これによって指示されたバーストリード動作においては、その前にロウアドレスストロブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、クロック信号CLKに同期してカラムアドレスカウンタ10から出力されるアドレス信号に従って、例えば32ビット単位で順次メモリバンクで選択され、データストロブ信号DQSの立ち上がり及び立ち下がりに同期して16ビット単位で外部に連続的に出力される。連続的に読出されるデータ数（ワード数）は上記バーストレングスによって指定された個数とされる。また、データ出力回路4からのデータ読出し開始は上記CASレイテンシーで規定されるクロック信号CLKのサイクル数を持って行われる。

【0047】〔4〕カラムアドレス・ライトコマンドは、ライト動作の態様としてモードレジスタ9にバーストライトが設定されているときに当該バーストライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、バーストライトにおけるカラムアドレスストロブの指示を与える。当該コマンドは、CSb、CASb、WEb、=ロウレベル、RASb=ハイレベルによって指示され、このときA0～A11に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ10に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシーの設定はなく、ライトデータの取り込みは、当該カラムアドレス・ライトコマンドサイクルからクロック

信号CLKの1サイクル遅れてデータストロブ信号DQSに同期して開始される。

【0048】〔5〕プリチャージコマンドは、A13、A14によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、CSb、RASb、WEb、=ロウレベル、CASb=ハイレベルによって指示される。

【0049】〔6〕オートリフレッシュコマンドは、オートリフレッシュを開始するために必要とされるコマンドであり、CSb、RASb、CASb=ロウレベル、WEb、CKE=ハイレベルによって指示される。これによるリフレッシュ動作はCBRRリフレッシュと同様である。

【0050】〔7〕セルフリフレッシュエントリコマンドが設定されると、CKEがローレベルにされている間、セルフリフレッシュ機能が働き、その間、外部からリフレッシュの指示を与えなくても自動的に所定のインターバルでリフレッシュ動作が行なわれる。

【0051】〔8〕バーストストップ・コマンドは、バーストリード動作を停止させるために必要なコマンドであり、バーストライト動作では無視される。このコマンドは、CASb、WEb=ローレベル、RASb、CASb=ハイレベルによって指示される。

【0052】〔9〕ノーオペレーションコマンドは、実質的な動作を行わないことを指示するコマンドであり、CSb=ローレベル、RASb、CASb、WEb=ハイレベルによって指示される。

【0053】DDR-SDRAM1においては、一つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストロブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作に何等影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。即ち、バンクアクティブコマンドなどによって指定されるロウアドレス系動作とカラムアドレス・ライトコマンドなどによって指定されるカラムアドレス系動作とは、相違するメモリバンク間で並列可能になっている。したがって、データ入出力端子DQ0~DQ15においてデータが衝突しない限り、処理が終了していないコマンドの実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストロブ・バンクアクティブコマンドを発行して、内部動作を予じめ開始させることが可能である。

【0054】以上の説明より明らかなように、DDR-SDRAM1は、クロック信号CLKに同期するデータストロブ信号DQSの立ち上がり及び立ち下りの両エッジに同期したデータ入出力が可能にされ、クロック信号CLKに同期してアドレス、制御信号を入出力できるため、DRAMと同様の大容量メモリをSRAMに匹

敵する高速で動作させることが可能であり、また、選択された1本のワード線に対して幾つのデータをアクセスするかをバーストレンジによって指定することによって、内蔵カラムアドレスカウンタ10で順次カラム系の選択状態を切換えていって複数のデータを連続的にリード又はライトできる。

【0055】《SSTLインタフェース》前記DDR-SDRAM1において、特に制限されないが、上記のクロック信号CLK、反転クロック信号CLKb、クロックイネーブル信号CKE、チップ選択信号CSb、RAS信号RASb、CAS信号CASb、ライトイネーブル信号WEb、アドレス入力信号A0~A14、データマスク信号DM、及びデータストロブ信号DQSを受ける入力バッファ、前記データ入力回路3のデータ入力バッファ、データ出力回路4のデータ出力バッファのインタフェースは例えば公知のSSTL2（クラスII）規格に準拠される。

【0056】図2にはSSTL2（クラスII）の回路構成例が示される。特性インピーダンス50Ωの伝送線20は基準電圧VREFでプルアップされ、例えばメモリコントローラやSDRAMなどに接続され、SDRAMの入力バッファは差動入力バッファ21とされ、差動入力的一方に伝送線20が結合され、他方に基準電圧VREFが印加され、イネーブル信号DIEでパワースイッチ22が活性化制御される。電源電圧VDDは例えば3.3V、回路の接地電圧VSSは0Vである。出力バッファは電源電圧VDDQ=2.5Vと接地電圧VSSとを動作電源とするCMOSインバータを出力段に備える。メモリコントローラは前記インタフェース仕様を満足するドライバとレシーバを有し、ドライバが伝送線20を駆動し、レシーバが伝送線20からのデータを入力する。

【0057】図3には前記SSTL2（クラス2）における信号の規格が例示されている。SSTL2規格では、1.25ボルトのような基準電位（VREF）に対して0.35V以上高い1.6ボルト以上のレベルがHレベルとみなされ、かかる基準電位に対して0.35V以下のレベルすなわち0.90ボルト以下のレベルがLレベルとみなされる。上記具体的なレベルは典型例であり、例えばSSTL3規格に適合するようなレベルであってもよい。

【0058】図4には前記SSTLに準拠した差動入力バッファの具体例として前記データ入力回路3の入力初段バッファが示される。この差動入力バッファ30は、pチャンネル型MOSトランジスタMp1、Mp2から成るカレントミラー負荷と、前記MOSトランジスタMp1、Mp2のドレインに結合されたnチャンネル型の差動入力MOSトランジスタMn3、Mn4と、前記差動入力MOSトランジスタMn3、Mn4の共通ソースに結合されたnチャンネル型パワースイッチMOSトラ

ンジスタMn5とから成る差動増幅回路を有する。

【0059】一方の差動入力MOSTランジスタMn3のゲートはデータ端子DQj (j=0~15)に、他方の差動入力MOSTランジスタMn4のゲートは基準電圧VREFに結合される。差動増幅回路の出力ノードはpチャンネル型プリチャージMOSTランジスタMp6によって選択的に電源電圧VDDにプリチャージ可能にされ、当該ノードの信号はインバータ31を介して反転出力される。

【0060】DIEは差動入力バッファ30のイネーブル制御信号であり、前記パワースイッチMOSTランジスタと前記プリチャージMOSTランジスタMp6のゲートに供給される。イネーブル制御信号DIEのハイレベルによって差動入力バッファが活性化される。この活性状態において差動増幅回路には動作電流が流れ、基準電圧VREFを中心に端子DQjの信号レベルとの微小電位差を即座に増幅する。差動増幅故に、端子DQjからの信号入力動作は高速である。前記イネーブル制御信号DIEのローレベルによって差動入力バッファが非活性化される。差動入力バッファの非活性状態において差動増幅回路では電力消費はなく、また、オン状態のプリチャージMOSTランジスタMp6の作用によってインバータ31の出力もローレベルに強制される。

【0061】前記イネーブル制御信号DIEはDDR-SDRAM1にライトコマンドによる書き込み動作の指示の後にローレベルからハイレベルにアサートされる。このように、差動入力バッファ30はライトコマンドによる書き込み動作の指示の後、活性化されるから、書き込み動作が指示される前に差動入力バッファ30は無駄に電力を消費しない。更に、前記バンクアクティブコマンド又はリードコマンドを受け付けても非活性状態のデータ入力バッファの状態は不変である。バンクアクティブコマンドやリードコマンドによる指示では差動入力バッファ30を活性化しないから、バンクアクティブの後、全くライトコマンドが指示され無ければ、差動入力バッファ30では何ら無駄な電力消費は行われない。

【0062】図5には前記SSTLに準拠した差動入力バッファの別の例として前記データストローブ信号DQSの差動入力バッファが示される。この差動入力バッファ40は、一対の差動増幅回路の異なる極性の入力端子を相互に接続して構成される。即ち、一方の差動増幅回路は、pチャンネル型MOSTランジスタMp11、Mp12から成るのカレントミラー負荷、nチャンネル型差動入力MOSTランジスタMn13、Mn14、及びnチャンネル型パワースイッチMOSTランジスタMn15とから成る。MOSTランジスタMn13のゲートが反転入力端子、MOSTランジスタMn14のゲートが非反転入力端子になる。他方の差動増幅回路は、pチャンネル型MOSTランジスタMp21、Mp22から成るのカレントミラー負荷、nチャンネル型差動入力

MOSTランジスタMn23、Mn24、及びnチャンネル型パワースイッチMOSTランジスタMn25とから成る。MOSTランジスタMn23のゲートが反転入力端子、MOSTランジスタMn24のゲートが非反転入力端子になる。

【0063】前記差動入力MOSTランジスタMn13とMn24のゲートにはデータストローブ信号DQSが入力され、前記差動入力MOSTランジスタMn14とMn23のゲートには基準電圧VREFが入力され、これにより、それぞれに差動増幅回路のシングルエンドの出力ノードに接続されたCMOSインバータ41、42から、データストローブ信号DQSに対する相補レベルの内部クロック信号DSCLKT、DSCLKBを得ることができる。

【0064】DSENは差動入力バッファ40のイネーブル制御信号であり、前記パワースイッチMOSTランジスタMn15、Mn25のゲートに供給される。イネーブル制御信号DSENのハイレベルによって差動入力バッファが活性化される。この活性状態において差動増幅回路には動作電流が流れ、基準電圧VREFを中心に端子DQSの信号レベルとの微小電位差を即座に増幅する。差動増幅故に、端子DQSからの信号入力動作は高速である。前記イネーブル制御信号DSENのローレベルによって差動入力バッファが非活性化される。差動入力バッファの非活性状態において差動増幅回路で電力消費はない。

【0065】《データ入力回路》図6にはDR-SDRAM1のデータ入力回路3の一例が示される。初段には図4で説明したSSTL仕様の差動入力バッファ30が配置される。差動入力バッファ30は、データストローブ信号DQSの立ち上がり及び立ち下りの各エッジに同期して供給される書き込みデータを入力する。差動入力バッファ30の次段には、前記データストローブ信号の半サイクル単位で供給されるデータを前記データストローブ信号の1サイクル単位で並列させてラッチするラッチ回路50が設けられている。このラッチ回路50は、例えば、データストローブ信号の立ち上がり変化に同期して差動入力バッファ30の出力データをラッチする第1のデータラッチ回路50Aと、データストローブ信号の立ち下り変化に同期して差動入力バッファ30の出力データをラッチする第2のデータラッチ回路50Bと、データストローブ信号の立ち下り変化に同期して第1のデータラッチ回路50Aの出力データをラッチする第3のデータラッチ回路50Cとを有する。前記データラッチ回路50A~50Cは夫々マスタ・スレープ型ラッチ回路(MSFF)によって構成され、データラッチ回路50AはDSCLKTをマスタ段のラッチクロック、DSCLKBをスレープ段のラッチクロックとし、データラッチ回路50B、50CはDSCLKBをマスタ段のラッチクロック、DSCLKTをスレープ段のラ

ッチクロックとする。前記ラッチクロックDSCLKT、DSCLKBはデータストローブ信号DQSに同期して変化される信号である。

【0066】前記ラッチ回路50の並列出力データDINRj、DINFjは夫々セクタラッチ回路51、52に供給される。セクタラッチ回路51、52は並列出力データDINRj又はDINFjの何れか一方を、信号DICY0の値に応じて選択し、選択したデータをクロック信号DICLKに同期してラッチする。信号DICY0は外部からカラムアドレスラッチ7に供給されるカラムアドレス信号（バースト書き込みの先頭アドレス）の最下位ビットAY0の論理値に匹敵する信号であり、セクタラッチ回路51はDICY0(=AY0)=0のときDINRjを選択し、DICY0(=AY0)=1のときDINFjを選択する。セクタラッチ回路52の選択制御はそれとは逆である。したがて、最初に入力される書き込みデータのカラムアドレスの最下位ビットの論理値に拘わらず、最下位ビットの論理値が“0”のデータはセクタラッチ回路51に、“1”のデータはセクタラッチ回路52にラッチされる。

【0067】前記セクタラッチ回路51の出力は、前記入出力バス2に含まれる信号線DINBYOBjを介して、前記カラムアドレス信号の最下位ビットが論理値“0”であるデータに匹敵するデータ格納領域に割当てられている各メモリバンクのメモリアレイに接続される。セクタラッチ回路52の出力は、前記入出力バス2に含まれる信号線DINBYOTjを介して、前記カラムアドレス信号の最下位ビットが論理値“1”であるデータに匹敵するデータ格納領域に割当てられている各メモリバンクのメモリアレイに接続される。

【0068】図7にはセクタラッチ回路とメモリバンクのメモリアレイとの接続態様が概略的に示されている。図7には各メモリバンクに1個のメモリマトMATが例示され、各メモリマトMATのメモリアレイYOBはカラムアドレスの最下位ビットの論理値が“0”のデータ格納用であり、メモリアレイYOTはカラムアドレスの最下位ビットの論理値が“1”のデータ格納用である。WAmpはメモリアレイ毎のライトアンプであり、対応するデータ入出力回路DIO0～DIO3に含まれている。YIOWYOT0～YIOWYOT3、YIOWYOB0～YIOWYOB3はメモリアレイ毎のライトアンプWAmpの活性化制御信号である。

【0069】上記データ入力回路3の説明から理解できるように、DDR-SDRAM1において、クロック信号CLKに同期するデータストローブ信号DQSの立ち上がり及び立ち下りの双方に同期して外部からデータが入力されるが、DDR-SDRAM1の内部の書き込み動作はクロック信号CLKの周期を最小単位として行われる。特に詳細な説明は省略するが、データ読み出し動作に関しても、SDRAMの内部動作タイミングと外部

への出力動作タイミングとの関係は同じである。

【0070】《DDR-SDRAMの制御回路》図8にはDDR-SDRAMの制御回路12の前段、図9には同じく制御回路12の後段、の詳細な一例がライト制御系を主体として示される。

【0071】図8のCLK入力バッファ60、コマンド系入力バッファ61、及びDQS入力バッファ40は前記SSTL仕様の差動入力バッファである。DQS入力バッファ40は図5に例示される通りであり、CLK入力バッファ60はCLK、CLKbを差動入力とする差動増幅回路を初段の差動入力バッファとして備え、動作電源の投入によって活性化され、パワーダウンモードの指示に匹敵して非活性化される。コマンド系入力バッファ61は図4の差動入力バッファと同様に構成されるが、動作電源の投入によって活性化され、パワーダウンモードの指示に匹敵して非活性化される。

【0072】CLK入力バッファ60の出力は1ショットパルス発生回路62に供給され、これによって各種内部クロック信号ACLKB、BCLKB、CCLKB、DCLKBが生成される。

【0073】コマンド系入力バッファ61に入力された各種信号CSb、RASb、CASb、WEbはコマンドデコード回路63でデコードされ、前述の動作モードに匹敵した内部制御信号が生成される。ACTiはバンクアクティブコマンドによってバンクアクティブが指示されたとき、バンク選択信号で選択されているバンクを活性化する制御信号である。サフィックスiはバンク番号を意味する。サフィックスiの意味は他の信号も同様とする。WT、WTYはライトコマンドによる書き込み動作の指示に匹敵して活性化される。WTYはWTに比べて活性化タイミングが早い。信号WTL2はシフトレジスタ64Aによって信号WTを遅延させた信号である。RDはリードコマンドによってリード動作が指示されたとき活性化される。PREiは前記プリチャージコマンドによってプリチャージが指示されたとき、バンク選択信号で選択されているバンクを活性化する制御信号である。

【0074】RWWiは書き込み動作が指示されたときのカラム選択系基準制御信号であり、メモリバンク毎の信号とされる。書き込み動作においてカラム選択タイミングはライトコマンドの指示から2クロックサイクル後とされているから、信号RWWiはシフトレジスタ回路64Bで遅延され、遅延された信号RWW2iから内部クロック信号BCLKBに同期したワンショットパルスの信号RWiがワンショットパルス発生回路64Cから出力される。

【0075】前記コマンドデコード回路63によるデコード結果は、図9のモードステート回路66の各種フラグ(RSFF)に反映される。フラグはセット・リセット型のフリップフロップから成り、Sはセット端子、R

はリセット端子を意味する。BA $i$  ( $i=0\sim3$ )はアクティブな状態が指示されているメモリバンクを示す。BENDはバースト動作の終了を示す信号で、BB $i$ はバースト書き込み動作中であることを示す信号である。信号BWTY, BDRY, BBY $i$ は信号BWT, BRD, BBN $i$ をクロック信号BCLKBに同期してラッチした信号である。前記信号BB $i$ を基に生成されるカラムステート信号BBY $i$ に基づいてライトパルス発生回路67がバンク別にメモリアレイの前記選択信号YIOWYOT0~YIOWYOT3, YIOWYOB0~YIOWYOB3を生成する。ライトクロックDICLKは信号RWWSTORをクロック信号DCLKBに同期してラッチした信号である。

【0076】図10にはカラムアドレス入力系のブロック図が示される。アドレスバッファ5は前記SSTL仕様の差動入力バッファである。アドレスバッファ5は図4の差動入力バッファと同様に構成されるが、動作電源の投入によって活性化され、パワーダウンモードの指示に応答して非活性化される。カラムアドレスラッチ7はマスタ・スレーブ型のラッチ回路70、シフトレジスタ回路71、及びマルチプレクサ72を有する。メモリセルに対する書き込みを書込みコマンドによる書き込み動作の指示からクロック信号CLKの2サイクル以降とするために、書き込み動作が指示されている場合には、シフトレジスタ回路71で遅延されたアドレス信号がマルチプレクサ72で選択される。読み出し動作が指示されている場合にはマルチプレクサ72はラッチ回路70の出力を直接選択する。カラムアドレスカウンタ10はYCLKに同期してインクリメント動作を行なう。バーストエンド検出回路73はラッチ回路70にプリセットされたバーストスタートアドレスに対してカラムアドレスカウンタ10の出力アドレスがバースト数に達したとき、バーストエンド信号BENDをアサートする。

【0077】前記ラッチ回路70とは別にスタートアドレスラッチ回路74を有し、カラムアドレスの最下位ビットAY0を保持する。これに保持された信号CAYOWの論理値に応じた選択信号DICY0が前記クロック信号DICLKに同期してワンショットパルス生成回路75で生成される。

【0078】ここで制御回路12におけるデータ書き込みの為に構成を整理して説明する。書き込みコマンドによって書き込み動作が指示され、信号WTYがパルス変化されると、クロックBCLKBに同期してその信号WTYがラッチ回路65Aにラッチされ、データ入力バッファ30のイネーブル信号DIEがハイレベルにアサートされる。この後、データストローブ信号DQSに同期して供給される書き込みデータは、図8に例示されるように、入力バッファ40から出力される信号DCLKT, DCLKBに同期してラッチ回路50入力される。ラッチ回路50から並列に出力されたデータを入力する前記セ

レクタラッチ回路51, 52 (図6参照)の選択動作及びラッチ動作を制御するタイミング信号DICLKは図9のライト系デコード回路65Bで生成される。セレクタラッチ回路51, 52から前記タイミング信号DICLKに同期して入出力バス2に供給されるデータの書き込みアドレス制御の為のカラムクロック信号YCLKが図8のコマンドデコード回路63内のデコードロジック65Cから出力される。このカラムクロック信号YCLKに同期して書き込みデータがカラムアドレスに書き込まれていく。バースト数分の書き込みデータのアドレスカウンタ動作の終了は図10のバーストエンド検出回路73で検出され、バーストエンド信号BENDがパルス変化される。この変化は、バースト書き込みの最後の書き込みカラムアドレスの発生が確定する状態であり、カラムアドレス系動作上、書き込み動作の終了と等価である。この変化に同期して図9のモードステート回路66から出力される信号BWTがネゲートされ、これを受けるラッチ回路65Aは、データ入力バッファ30のイネーブル信号DIEをネゲートする。これによって、差動入力バッファ30は、そのパワースイッチMOSTランジスタMn5 (図4参照)がオフ状態にされて非活性化される。

【0079】《DDR-SDRAMの書き込み動作タイミング》図11にはDDR-SDRAM1におけるバースト数4の書き込み動作タイミングが例示されている。

【0080】時刻 $t_0$ にクロック信号CLKに同期してロウアドレスストローブ・バンクアクティブコマンド (バンクアクティブコマンドActive) が発行され、ロウアドレス信号 (X-Add) が供給される。このバンクアクティブコマンドにより、選択されたメモリバンクの信号ACT $i$ がパルス変化され、信号BA $i$ がアサートされる。特に図示はしないが、これによって、選択されたメモリバンクにおいて、ロウアドレス信号に応ずるワード線が選択され、当該ワード線に選択端子が接続されたメモリセルの記憶情報が夫々の相補ビット線に読出され、センスアンプで増幅される。

【0081】時刻 $t_1$ にクロック信号CLKに同期してカラムアドレス・ライトマンド (Write) が発行され、カラムアドレス信号 (Y-Add) が供給される。このカラムアドレス・ライトマンドによって順次信号WTY, WT, RWW $i$ がパルス変化され、差動入力バッファ30のイネーブル制御信号DIEがハイレベルにアサートされ (時刻 $t_2$ )、これによって差動入力バッファ30は非活性状態から活性状態にされる。

【0082】このとき、データストローブ信号DQSは時刻 $t_1$ の次のクロック信号CLKの立ち上がりエッジに対して $\pm 0.25T_{ck}$ の許容誤差の範囲内で立ち上がり変化され、例えば、DQSの立ち上がり及び立ち下りの各変化に同期して書き込みデータD1, D2, D3, D4が供給される。T $_{ck}$ はクロック信号に周期である。

## 21

【0083】書き込みデータD1が供給されてきたとき、差動入力バッファ30は既に活性化されており、順次供給されてくるデータD1〜D4は、入力バッファ40から出力される信号DSCCLKT、DSCCLKBに同期して、ラッチ回路50に入力される。ラッチ回路50は時刻t3にD1、D2を並列化して出力し、時刻t4にD3、D4を並列化して出力する。並列出力されたデータに対して、タイミング信号DICKの最初の変化（時刻t2a）に同期して信号DICY0の論理値に応じ前記セクタラッチ回路51、52（図6参照）による入力選択の判定が行われ、その判定結果にしたがってその後のタイミング信号DICKの変化（時刻t3a、t4a）に同期して書き込みデータがセクタラッチ回路51、52から入出力バス2（DINBY0Bj、DINBY0Tj）に供給される。

【0084】入出力バス2に供給された書き込みデータに対するメモリセルへの書き込み動作は、時刻t3aの後に成り、カラムクロック信号YCLKに同期して（時刻t3b）データD1、D2書き込み用のカラムアドレス信号CAaがカラムアドレスカウンタ10から出力される。カラムクロック信号YCLKの次にパルス変化に同期して（時刻t4b）データD3、D4書き込み用のカラムアドレス信号CAaがカラムアドレスカウンタ10から出力される。これによってデータD1、D2及びD3、D4が所定のメモリセルに書き込まれる。

【0085】バースト数分の書き込みデータのアドレスカウンタ動作の終了はバーストエンド検出回路73で検出され、バーストエンド信号BENDが時刻t5にパルス変化される。この変化は、バースト書き込みの最後の書き込みカラムアドレスの発生が確定する状態であり、カラムアドレス系動作上、書き込み動作の終了と等価であるから、この変化に同期して図9のモードステート回路66から出力される信号BWTがネゲートされ、これを受けるラッチ回路65Aは、データ入力バッファ30のイネーブル信号DIEをネゲートする。これによって、差動入力バッファ30は非活性化状態にされる。

【0086】図12には図11の比較例としてSDR-SDRAMの書き込み動作タイミングが示されている。SDR-SDRAMは、クロック信号CLKに同期してカラムアドレス・ライトコマンドと一緒に書き込みデータも供給される。このため、ライトコマンドによる書き込み動作の指示の後にデータ入力バッファを活性化していたのでは間に合わない。このため、バンクアクティブコマンドによるロウアドレス系動作の指示（信号ACTiのパルス変化）に同期して、データ入力バッファのイネーブル信号DIOFFがローレベルにアサートされ、これによってデータ入力バッファが活性化される。この状態は、次にプリチャージコマンド（Pre）によってプリチャージ動作が指示される（信号PREiのパルス変化）まで維持される。したがって、バンクアクティブの

## 22

後にライトコマンドによる書き込みが指示されるまで、また、ライト動作が終わってプリチャージ動作が指示されるまで、また、バンクアクティブの後にリードコマンドしか発行されずライトコマンドが発行されないとき、データ入力バッファは動作の必要がないから、その間、データ入力バッファが活性化され続けることによって無駄に電力が消費される。このようなデータ入力バッファの活性化制御をDDR-SDRAM1にそのまま適用すれば、データ入力バッファのSSTLインフェース仕様故に、図1のDDR-SDRAM1とは比較にならないほど多くの電力が無駄に消費されることが予想される。

【0087】図13には本発明をアドレス入力バッファに適用する場合の動作タイミングチャートが示される。図13の例は、図1のDDR-SDRAMのアドレス入力タイミングがコマンド入力からクロック信号CLKの1サイクル分遅れる仕様を想定したものである。即ち、図13に例示されるように、バンクアクティブコマンド（Active）の後、クロック信号CLKの1サイクル遅れてロウアドレスストロブのタイミングとされ、ロウアドレス信号（X-Add）が供給され、カラムアドレス・ライトコマンド（Write）の後、クロック信号CLKの1サイクル遅れてカラムアドレスストロブのタイミングとされ、カラムアドレス信号（Y-Add）が供給される。このとき、バンクアクティブの指示によって信号ACTiがパルス変化されることに同期して、また、ライトコマンドによるライト動作の指示によって信号WTがパルス変化されることに同期して、また、図示はしないが、カラムアドレス・リードコマンドによるリード動作の指示によってリード信号がパルス変化されることに同期して、夫々アドレス入力バッファの活性化制御信号AIEをアサートして、アドレス入力バッファを活性化する。アドレス入力バッファの非活性化は、アドレス入力バッファによるアドレス入力動作が完了されるタイミングを待って行なえばよく、例えば、カラム系クロック信号CCLKBの所定の変化に同期させればよい。

【0088】アドレス入力バッファに対しても動作の指示の後に活性化する制御を行なえば、SSTL仕様のアドレス入力バッファで消費される電力を低減することができる。

【0089】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0090】例えば、動作が指示された後に活性化制御される入力バッファは、データ及びアドレスの入力バッファに限定されず、その他の制御信号の入力バッファであってもよい。また、SSTL仕様の入力バッファは図4及び図5で説明した差動入力バッファに限定されず適宜変更可能である。また、データ入力バッファのイネー

ブル制御信号DIEを生成する為の制御論理若しくはそれを生成する為の中間信号の生成論理は上記に限定されず、適宜変更可能である。また、SDRAMのデータ入出力端子の数は16ビットに限定されず、8ビット、4ビット等であってもよい。また、SDRAMのメモリバンクの数、メモリバンクのメモリマツ及びメモリアレイの構成も上記に限定されず適宜変更可能である。

【0091】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDDR-SDRAMに適用した場合について説明したが、本発明はそれに限定されず、例えばDDR-SDRAMをオンチップしたマイクロコンピュータやシステムLSI若しくはアクセラレータなどと称される半導体装置にも広く適用する事ができる。

【0092】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0093】すなわち、メモリ部への書込みデータを入力可能なデータ入力バッファを有する半導体装置において、前記メモリ部に対する書込み動作の指示を受けた後に、データ入力バッファを非活性状態から活性状態に変化させる。前記データ入力バッファは、例えばSSTL規格に準拠したインタフェース仕様を有する差動入力バッファであり、その活性状態において貫通電流を流し、小振幅信号の微小な変化にも即座に追従して信号を入力する。そのような入力バッファは前記メモリ部に対する書込み動作の指示を受けて初めて活性状態にされるから、書き込み動作が指示される前に予めデータ入力バッファが活性状態にされて消費される無駄な電力消費を低減することができる。

【0094】前記半導体装置の好適な例であるSDRAMの場合、バンクアクティブコマンドやリードコマンドによる指示ではデータ入力バッファを活性化しないから、バンクアクティブの後、全くライトコマンドが指示され無ければ、データ入力バッファでは何ら無駄な電力消費は行われない。

【0095】前記データ入力バッファと同様の観点に立った入力バッファ制御をアドレス入力バッファ等にも適用することができる。前記バンクアクティブコマンド、前記リードコマンド又は前記ライトコマンドを受け付けた後に、前記アドレス入力バッファを非活性状態から活性状態に変化させ、その後、前記クロック信号に同期する一定サイクル期間の経過を待ってアドレス入力バッファを活性状態から非活性状態に変化させる。

【0096】以上より、データ入力バッファなどの外部インタフェースバッファによる電力消費を低減可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一例であるDDR-

SDRAMを示すブロック図である。

【図2】SSTL2(クラスII)の回路構成例を示す回路図である。

【図3】SSTL2(クラス2)における信号の規格を例示する説明図である。

【図4】SSTLに準拠した差動入力バッファの具体例であるデータ入力回路の入力初段バッファを示す回路図である。

【図5】SSTLに準拠した差動入力バッファの別の例としてデータストローブ信号DQSの差動入力バッファを示す回路図である。

【図6】DR-SDRAM1のデータ入力回路の一例を示すブロック図である。

【図7】セレクトラッチ回路とメモリバンクのメモリアレイとの接続態様を概略的に示す説明図である。

【図8】DDR-SDRAMの制御回路の前段をライト制御系を主体として示すブロック図である。

【図9】DDR-SDRAMの制御回路の後段をライト制御系を主体として示すブロック図である。

【図10】カラムアドレス入力系を例示するブロック図である。

【図11】DDR-SDRAM1におけるバースト数4の書込み動作タイミングを例示するタイミングチャートである。

【図12】図11の比較例としてSDR-SDRAMの書込み動作タイミングを示すタイミングチャートである。

【図13】本発明をアドレス入力バッファに適用する場合の動作タイミングを例示するタイミングチャートである。

【符号の説明】

- 1 DDR-SDRAM
- BNK0~BNK3 メモリバンク
- MC メモリセル
- WL ワード線
- BL ビット線
- DIO0~DIO3 データ入出力回路
- RDEC0~RDEC3 ロウデコーダ
- CDEC0~CDEC3 カラムデコーダ
- 2 入出力バス
- 3 データ入力回路
- 4 データ出力回路
- DQ0~DQ15 データ入出力端子
- A0~A14 アドレス入力端子
- 5 アドレスバッファ
- 6 ロウアドレスラッチ
- 7 カラムアドレスラッチ
- 8 バンクセクタ
- 9 モードレジスタ
- 10 カラムアドレスカウンタ

25

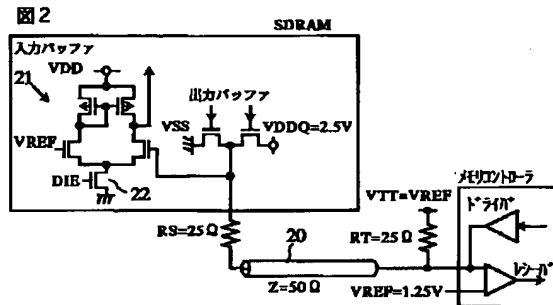
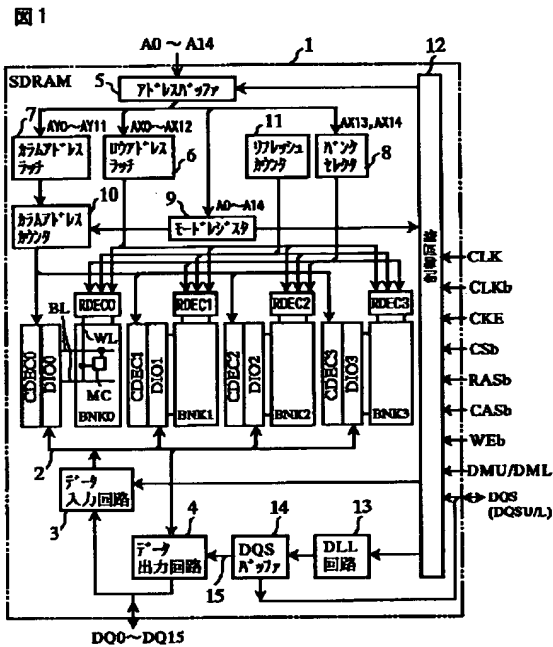
26

12 制御回路  
 CLK, CLKb クロック信号  
 DQS データストロープ信号  
 30 差動入力バッファ  
 Mn5 パワースイッチMOSトランジスタ  
 VREF 基準電圧

DIE イネーブル制御信号  
 50 ラッチ回路  
 50A 第1のデータラッチ回路  
 50B 第2のデータラッチ回路  
 50C 第3のデータラッチ回路  
 51, 52 セレクタラッチ回路

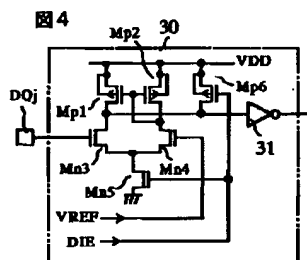
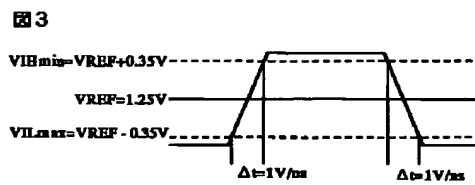
【図1】

【図2】



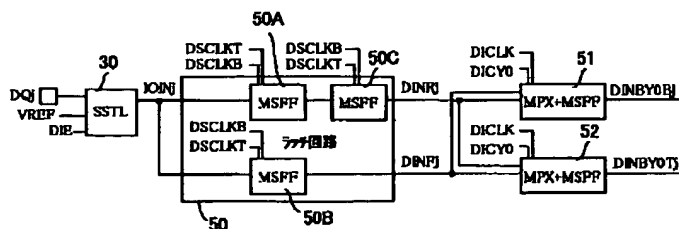
【図3】

【図4】



【図6】

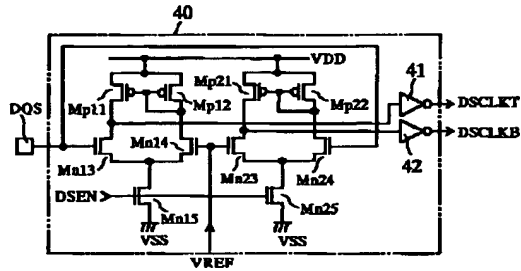
図6





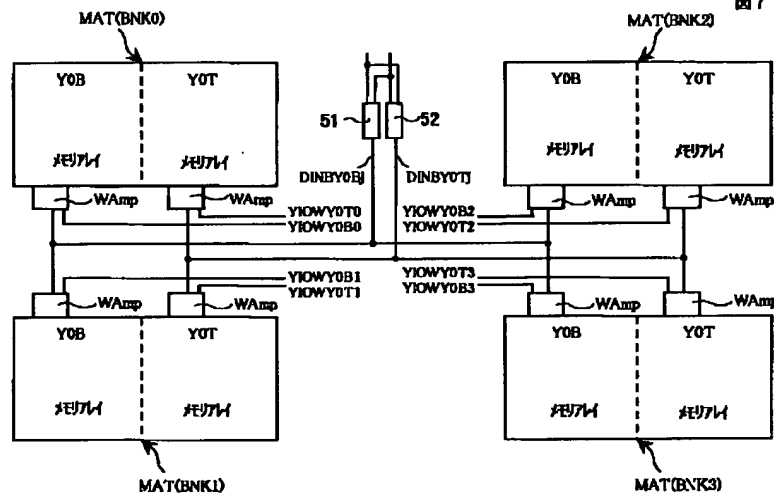
【図5】

図5



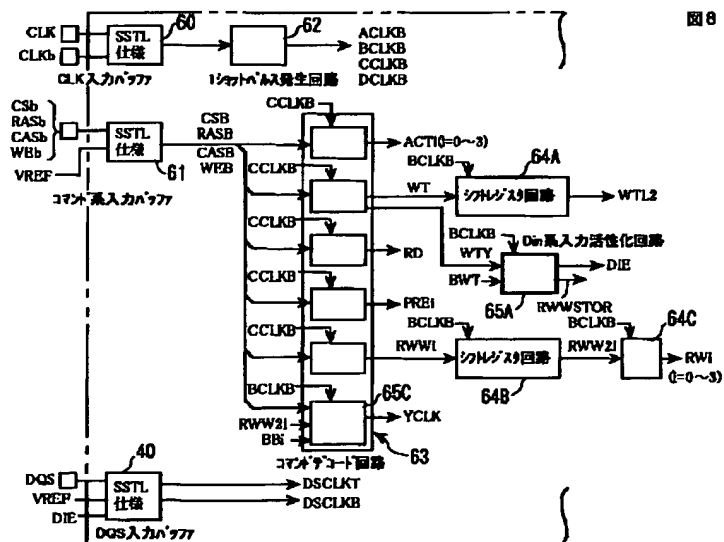
【図7】

図7

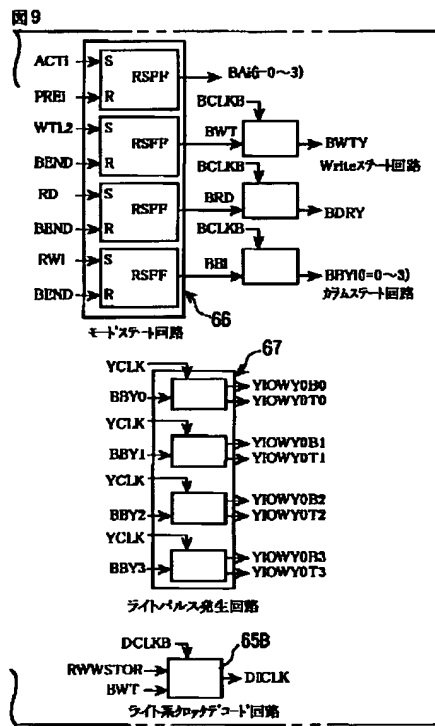


【図8】

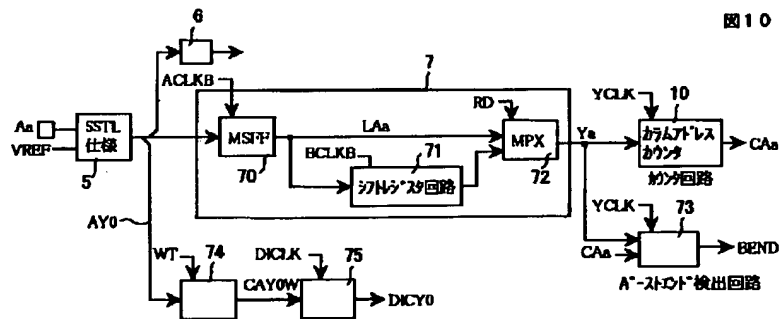
図8



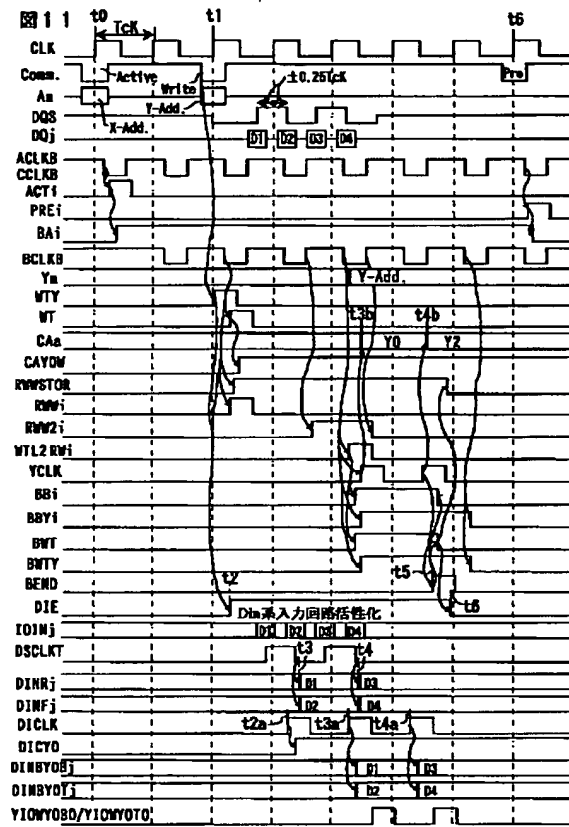
【図9】



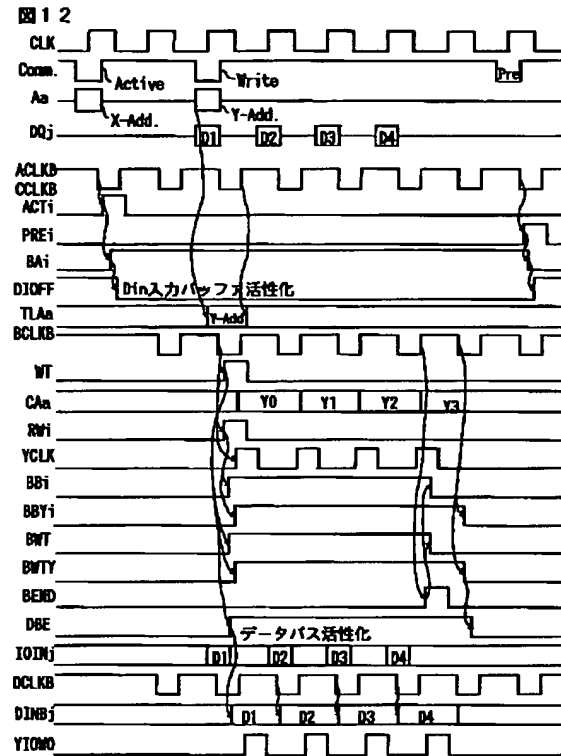
【図10】



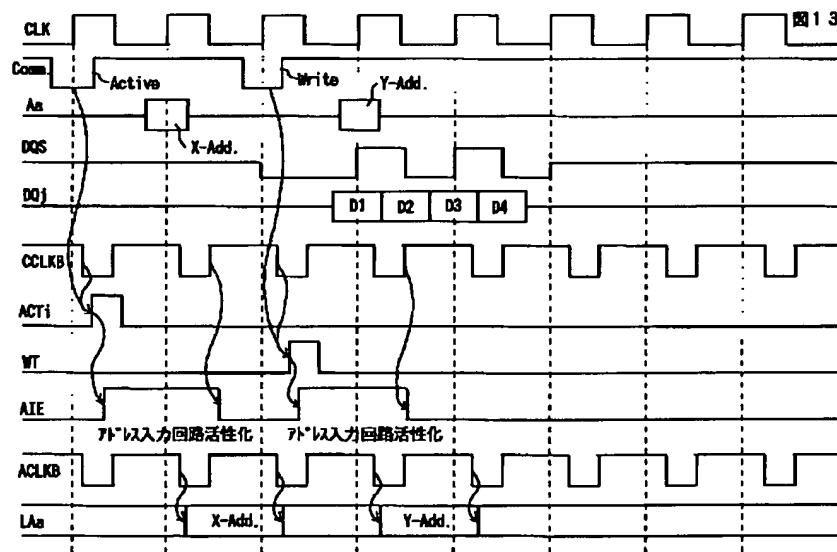
【図11】



【図12】



【図13】



## フロントページの続き

(72)発明者 宮下 広基

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 柴田 健

千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 堀口 真志

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

Fターム(参考) 5B024 AA01 BA29 CA07 CA11